

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-118578
 (43)Date of publication of application : 29.05.1987

(51)Int.Cl. H01L 29/78
 H01L 21/265

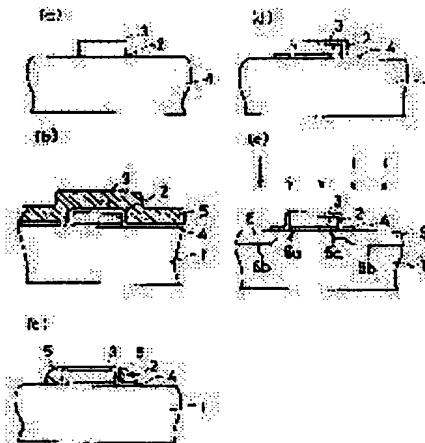
(21)Application number : 60-259083 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 18.11.1985 (72)Inventor : OKUMURA YOSHIKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To suppress a short channel effect, to suppress the increase in sheet resistance in source and drain diffused regions and to prevent the decrease in current driving capability of an MOSFET, by coating a semiconductor substrate only in the vicinity of a gate electrode with a thin insulating film, and implanting ions.

CONSTITUTION: On a semiconductor substrate 1, a gate insulating film 2 and a gate electrode 3 are formed. On the semiconductor substrate 1 including the gate electrode 3, a thin first insulating film 4 is formed. A thick second insulating film 5 is formed on the first insulating film 4. Then the first and second insulating films 4 and 5 undergo anisotropic etching, and a side wall is formed on the gate electrode 3. Then, a part of the second insulating film 5 forming the side wall is removed. With the first insulating film 4 and the gate electrode 3 as masks, ions are implanted, and an ion implanted region 6 is formed. As said first insulating film 4, e.g., an oxide film is used. As the second insulating film 5, e.g., a nitride film is used. Thus, a shallow junction part and a deep junction part can be formed. A short channel effect and the decrease in current driving capability of the MOSFET due to the increase in sheet resistance of the source and the drain can be suppressed at the same time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Japanese Unexamined Patent Application Publication No. 62-118578

The process will now be described. First, as shown in Fig. 1(a), a gate oxide film 2 and a polysilicon gate electrode 3 are sequentially formed on a semiconductor substrate 1. Next, as shown in Fig. 1(b), an oxide film 4 is vapor-deposited over the entire surface of the semiconductor substrate 1. A thick nitride film 5 is then vapor-deposited over the entire surface of the oxide film 4. The nitride film 5 and the oxide film 4 are simultaneously isotropically etched with reactive ions (RIE) so as to form side walls composed of the nitride film 5 and the oxide film 4, as shown in Fig. 1(c). Subsequently, as shown in Fig. 1(d), the nitride film 5 in the side walls is removed so that only part of the semiconductor substrate 1 near the polysilicon gate electrode 3 is covered with the oxide film 4. Then, as shown in Fig. 1(e), ions of a conductivity type opposite to that of the semiconductor substrate 1 are injected using the polysilicon gate electrode 3 as a mask, and the injected ions are thermally diffused by conventional high-temperature annealing so as to form source/drain diffusion regions 6 comprising shallow junctions 6a and deep junctions 6b.

⑪ 公開特許公報 (A) 昭62-118578

⑫ Int.Cl.⁴H 01 L 29/78
21/265

識別記号

府内整理番号

8422-5F
7738-5F

⑬ 公開 昭和62年(1987)5月29日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特願 昭60-259083

⑯ 出願 昭60(1985)11月18日

⑰ 発明者 奥村 喜紀 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内

⑱ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) MOSFETでなる半導体装置の製造方法において、半導体基板上にゲート絶縁膜およびゲート電極を形成する工程と、上記ゲート電極を含む上記半導体基板上に薄い第1の絶縁膜を形成する工程と、上記第1の絶縁膜上に厚い第2の絶縁膜を形成する工程と、上記第1および第2の絶縁膜を異方性エッチングして上記ゲート電極に側壁を形成する工程と、上記側壁を形成する第2の絶縁膜部分を除去する工程と、上記第1の絶縁膜およびゲート電極をマスクとしてイオン注入することによりイオン注入領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(2) 上記第1の絶縁膜として酸化膜を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 上記第2の絶縁膜として窒化膜を用いるこ

とを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、MOSFET製造プロセスにおいてゲート電極形成後にソース・ドレイン領域に接する接合部を形成するための半導体装置の製造方法に関するものである。

(従来の技術)

第2回の図は従来の半導体装置の製造方法の順次の工程を示す断面図である。図において、(1)は半導体基板、(2)は半導体基板(1)上に形成されたゲート酸化膜、(3)はゲート酸化膜(2)上に形成されたポリシリコンゲート電極、(4)はポリシリコンゲート電極(3)をマスクとしてイオン注入され低温熱処理後に形成された半導体基板(1)と反対の電導型のソース・ドレイン拡散領域である。ソース・ドレイン拡散領域(4)は、半導体基板(1)との間に接する接合部(4a)を形成している。

半導体装置の集積化に伴いMOSFETのチャ

ネル長が短くなるに従って、半導体基板と反対の電導型イオンを注入した後に高温熱処理によってソース・ドレイン拡散領域を形成すると、高温熱処理のために注入イオンが熱拡散され過ぎてしまい、深い接合部が形成されてしまう。そのため、ゲート電極の下側への接合部の侵入が著しくなり、実効的なチャネル長が短くなってしまい偏電圧の低下やバンチスールによるソース・ドレイン間の耐圧低下などの短チャネル効果を顕著にする。

そこで、低温熱処理により注入イオンの熱拡散を抑制すれば、浅い接合部(4a)を有するソース・ドレイン拡散領域(4)が形成され、ゲート電極の下側への接合部(4a)の侵入も抑制されて、上述したような短チャネル効果も抑制することができる。

次に工程について説明する。まず、第2回(6)に示すように、半導体基板(1)上にゲート酸化膜(4)とポリシリコンゲート電極(3)を形成する。次に、第2回(6)に示すように、半導体基板(1)と反対の電導型イオンをゲート電極(3)をマスクとして注入し、低温熱処理により注入イオンを熱拡散させて浅い

接合部(4a)を有するソース・ドレイン拡散領域(4)を形成する。

(発明が解決しようとする問題点)

従来の半導体装置の製造方法は以上のように構成されているので、浅い接合部(4a)のためにソース・ドレイン拡散領域(4)のシート抵抗が増大し、MOSFETの電流駆動能力を低下させるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、しきい偏電圧の低下やバンチスールによるソース・ドレイン間の耐圧低下などの短チャネル効果を抑制できるとともに、ソース・ドレイン拡散領域のシート抵抗の増大を抑制してMOSFETの電流駆動能力の低下を防止することができる半導体装置の製造方法を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体装置の製造方法は、ポリシリコンゲート電極形成後に半導体基板の全面に薄い第1の絶縁膜を蒸着し、さらにこの第1の絶

縁膜の上に厚い第2の絶縁膜を蒸着して、RIB(Reactive Ion Etching)によって第1の絶縁膜と第2の絶縁膜とを同時に異方性エッチングすることにより、第1の絶縁膜と第2の絶縁膜とで側壁を形成した後に第2の絶縁膜を除去してゲート電極近傍の半導体基板だけが第1の絶縁膜で覆われるようにしてイオン注入を行うようにしたものである。

(作用)

この発明におけるゲート電極近傍の半導体基板だけを覆う第1の絶縁膜は、半導体基板へのイオン注入の障害物となってゲート電極をマスクとして注入される半導体基板と反対の電導型イオンが半導体基板に注入されるときにその平均注入深さを浅くさせる。

(実施例)

以下、この発明の一実施例を図について説明する。第1回(4)～(6)において、(1)は半導体基板、(2)は半導体基板(1)上に形成されたゲート酸化膜、(3)はゲート酸化膜(2)上に形成されたポリシリコンゲ

ート電極、(4)はポリシリコンゲート電極(3)の上面を含む半導体基板(1)の全面に薄く蒸着された酸化膜、(4)は酸化膜(4)の全面に蒸着された窒化膜、(6)はゲート電極(3)をマスクとしてイオン注入され高温熱処理後に形成された半導体基板(1)と反対の電導型のソース・ドレイン拡散領域、(6a)はソース・ドレイン拡散領域(4)の浅い接合部、(6b)はソース・ドレイン拡散領域(4)の深い接合部である。

次に作用について説明する。ポリシリコンゲート電極(3)の近傍の半導体基板(1)だけを覆っている酸化膜(4)は、半導体基板(1)に注入されるイオンの障害物となる。したがって、ポリシリコンゲート電極(3)をマスクとして注入される半導体基板(1)と反対の電導型イオンが半導体基板(1)に注入されるとき、ポリシリコンゲート電極(3)の近傍の酸化膜(4)の下側だけはその注入の実効的な平均深さが浅くなる。このため、イオン注入後の熱処理によってソース・ドレイン拡散領域(4)を形成するときに特に低温で熱処理する必要はなく、従来通り高温で熱処理してもポリシリコンゲート電極(3)の近傍

の酸化膜(4)の下のソース・ドレイン拡散領域(5)は浅い接合部(6a)を生じる。このため、ポリシリコンゲート電極(3)の下側への接合部(6a)の侵入は短く、短チャネル効果が抑制されることになる。一方、ポリシリコンゲート電極(3)の近傍以外の酸化膜(4)が存在しない領域でのソース・ドレイン拡散領域(5)は高温熱処理により従来通りの深い接合部(6b)を形成し、ソース・ドレイン間でのシート抵抗の増大を抑制してMOSFETの電流駆動能力の低下を防止する。

このように、ソース・ドレイン拡散領域(5)を浅い接合部(6a)と深い接合部(6b)を生じるように形成することにより、短チャネル効果とソース・ドレイン間のシート抵抗の増大によるMOSFETの電流駆動能力の低下とを同時に抑制することができる。

次に工程について説明する。まず、第1回(4)に示すように、半導体基板(1)上にゲート酸化膜(4)とポリシリコンゲート電極(3)とを順次形成する。次に、第1回(4)に示すように、半導体基板(1)の全面

に薄い酸化膜(4)を蒸着し、さらにこの酸化膜(4)上に厚い窒化膜(5)を全面にわたって蒸着する。この後、RIBによって窒化膜(5)と酸化膜(4)とを同時に異方性エッチングすることによって、第1回(4)に示すように、窒化膜(5)と酸化膜(4)で側壁を形成する。そして、第1回(4)に示すように、側壁の窒化膜(5)の部分を除去し、ポリシリコンゲート電極(3)の近傍の半導体基板(1)だけが酸化膜(4)で覆われるようとする。続いて、第1回(4)に示すように、ポリシリコンゲート電極(3)をマスクとして半導体基板(1)と反対の電場型イオンを注入し、従来通りの高温熱処理によって注入イオンを熱拡散させて、浅い接合部(6a)と深い接合部(6b)とを有するソース・ドレイン拡散領域(5)を形成する。

「ややこしいです。

なお、上記実施例では第1の絶縁膜として酸化膜を、第2の絶縁膜として窒化膜を用いた半導体装置の製造方法を示したが、逆に、第1の絶縁膜として窒化膜を、第2の絶縁膜として酸化膜を用いることもでき、同様の効果を奏する。

(発明の効果)

7

以上のように、この発明によれば、半導体基板を覆う第1の絶縁膜をゲート電極の近傍だけに残しておくように構成したので、ただ1回のイオン注入だけでしかも従来通りの高温熱処理によって、ソース・ドレイン拡散領域を浅い接合部と深い接合部とを生じるように形成することができ、短チャネル効果とソース・ドレイン間のシート抵抗増大に起因するMOSFETの電流駆動能力の低下とを同時に抑制することができる効果がある。

4. 図面の簡単な説明

第1回(4)～(6)は本発明の一実施例による半導体装置の製造方法を示す順次の工程断面図、第2回(7)～(9)は従来の半導体装置の製造方法を示す順次の工程断面図である。

(1)は半導体基板、(2)はゲート酸化膜、(3)はポリシリコンゲート電極、(4)は酸化膜(第1の絶縁膜)、(5)は窒化膜(第2の絶縁膜)、(6)はソース・ドレイン拡散領域、(6a)は浅い接合部、(6b)は深い接合部である。

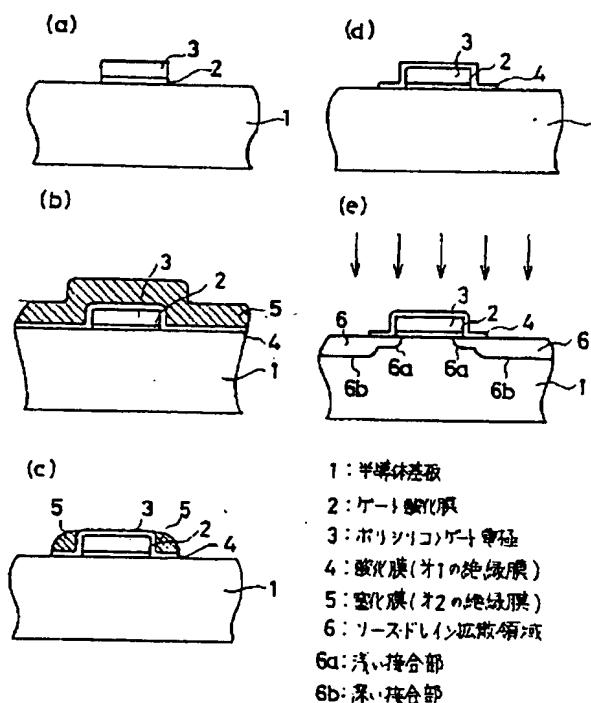
なお、図中、同一符号は同一または相当部分を

8

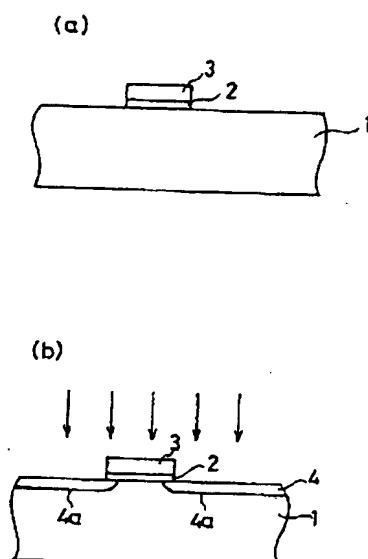
示す。

代理人 大岩 地雄

第1図



第2図



<p>手 続 楠 正 務 (自 発)</p> <p>81 4 2</p> <p>昭和 年 月 日</p> <p>特許庁長官殿</p> <p>1. 事件の表示 特願昭60-259083号</p> <p>2. 発明の名称 半導体装置の製造方法</p> <p>3. 補正をする者</p> <p>事件との関係 特許出願人 住 所 東京都千代田区丸の内二丁目2番3号 名 称 (601)三菱電機株式会社 代表者 志岐 守 誠</p> <p>4. 代 理 人</p> <p>住 所 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内</p> <p>氏 名 (7375) 代理士 大 岩 増 雄 (連絡先03(213)3421特許部)</p>	<p>5. 補正の対象</p> <p>明細書の発明の詳細な説明の欄</p> <p>6. 補正の内容</p> <p>明細書第7頁第8行、第13~14行および第9頁第7行に「ソース・ドレイン間」とあるのを、「ソース・ドレイン」と訂正する。</p> <p style="text-align: right;">以 上</p>
--	---

方 式
審査

